Исследование принципов работы и временных диаграмм RS- и JK-триггеров

Лекция 8

Лектор: Нұрғалиев М.К.

Цель и задачи работы

Цель

Изучить схемы и принципы работы RS- и JK-триггеров, проверить режимы функционирования и получить временные диаграммы.

Практический результат

Собрать схемы, проверить таблицы истинности и сопоставить экспериментальные диаграммы с построенными вручную.

Разобрать хранение двоичного состояния и обратную связь.

Сравнить асинхронный и синхронный RS-триггеры.

Исследовать режимы универсального JK-триггера, включая счётный.

Научиться задавать последовательности сигналов и читать осциллограммы.

План лекции

1. Триггер как элемент памяти. Базовый принцип обратной связи.
2. Асинхронный RS-триггер: схема, режимы и таблица истинности.
3. Реализация RS-триггера на элементах 2И-НЕ и 2ИЛИ-НЕ.
4. Синхронный RS-триггер и роль тактового сигнала.
5. JK-триггер: устранение запрещённой комбинации и счётный режим.
6. Временные диаграммы и моделирование в MultiSim.
7. Порядок выполнения лабораторной работы, контрольные вопросы и литература.

Триггер — элемент цифровой памяти

Триггер — цифровое устройство с двумя устойчивыми состояниями.

Он хранит один бит информации: логический 0 или логическую 1.

Состояние сохраняется благодаря положительной обратной связи.

Выходы обычно обозначаются Q и $\overline{Q}$; в нормальном режиме они взаимно инверсны.

Триггеры применяются в регистрах, счётчиках, узлах памяти, последовательных интерфейсах и линиях задержки.

Главная идея

Состояние зависит не только от входов, но и от предыдущего состояния.

Базовый принцип: положительная обратная связь



Q — прямой выход

$\overline{Q}$ — инверсный выход

Обратная связь поддерживает выбранное состояние после снятия управляющего воздействия.

RS-триггер: назначение входов

S — Set (установка)

Активный сигнал на входе S устанавливает Q = 1.

R — Reset (сброс)

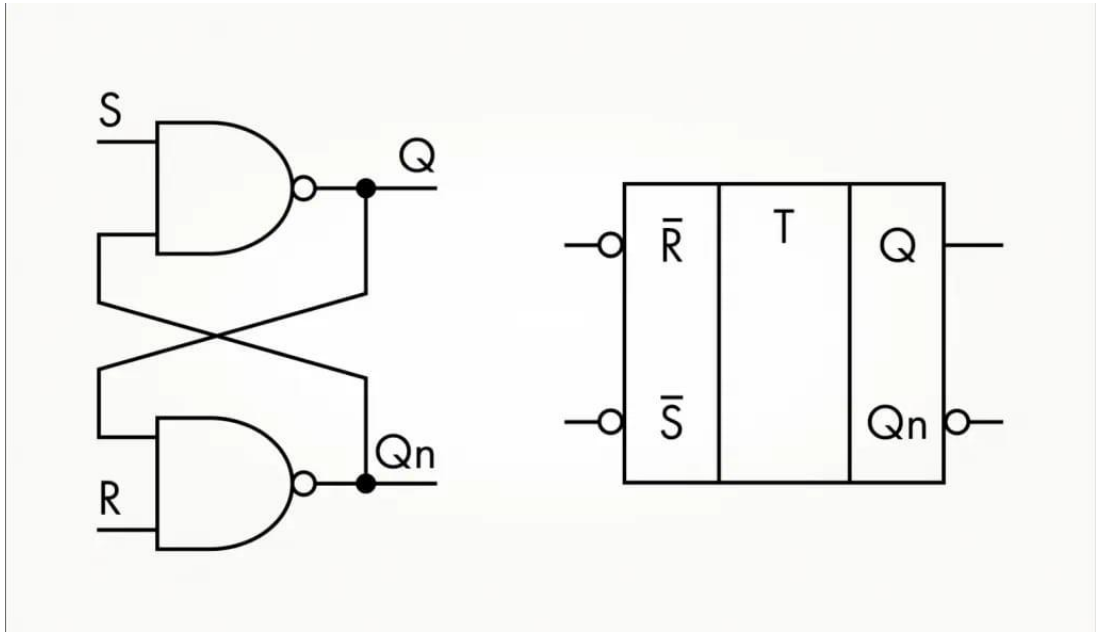
Активный сигнал на входе R устанавливает Q = 0.

Если ни установка, ни сброс не активны, триггер хранит предыдущее состояние.

Для RS-триггера на элементах 2И-НЕ физические входы активны нулём; в таблице ниже используются логические команды R и S в прямой логике.

Одновременная активация R и S приводит к запрещённому состоянию.

RS-триггер на элементах 2И-НЕ



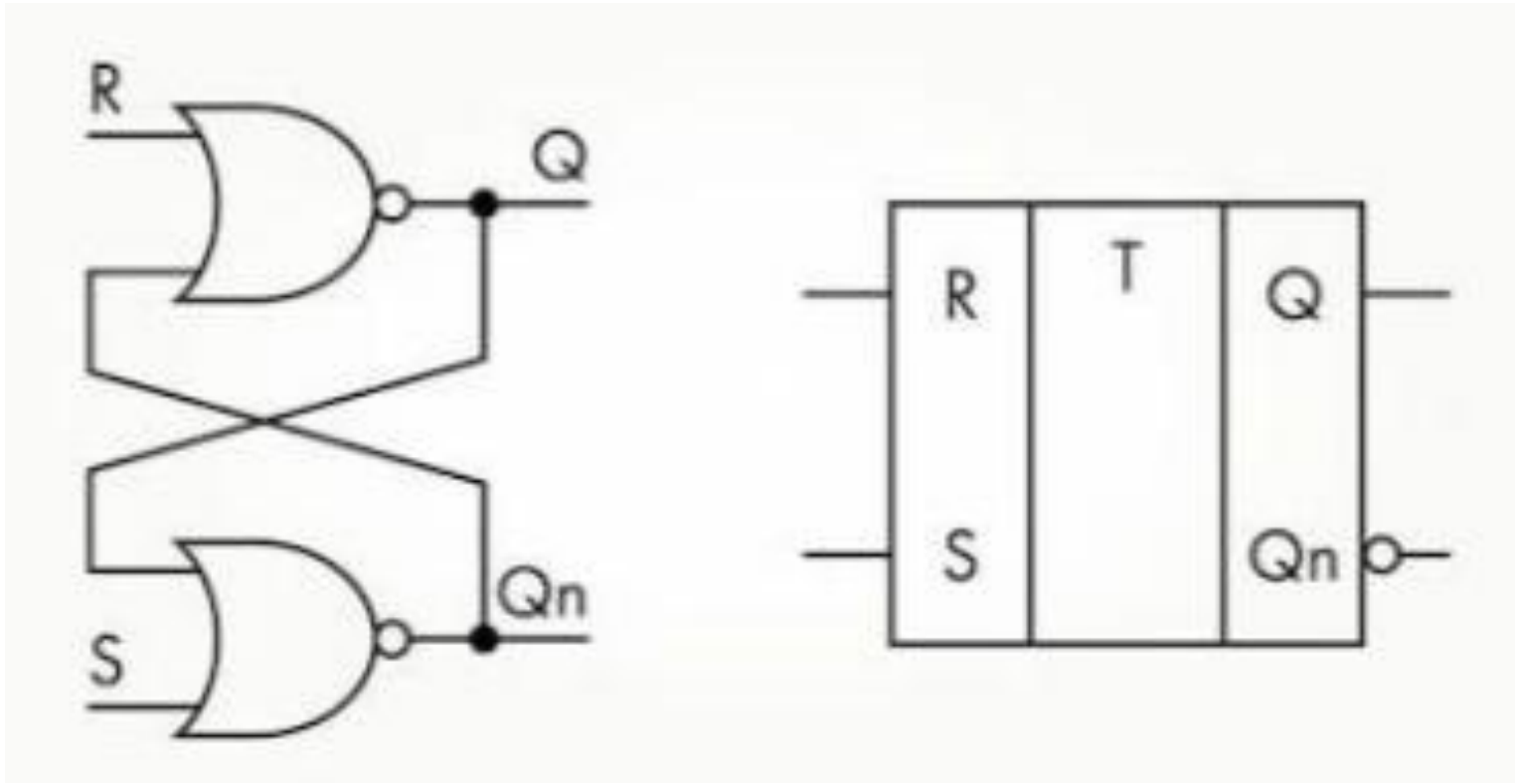
Для NAND-реализации активный уровень на физических входах — логический 0. При $\overline{S} = \overline{R} = 1$ схема хранит состояние.

Таблица истинности RS-триггера

R	S	Q(t)	Q(t+1)	Режим
0	0	0	0	Хранение
0	0	1	1	Хранение
0	1	X	1	Установка единицы
1	0	X	0	Сброс в ноль
1	1	X	—	Запрещённая комбинация

X — любое предыдущее состояние. Таблица приведена для активных логических команд R и S.

Альтернативная реализация: элементы 2ИЛИ-НЕ



На элементах 2ИЛИ-НЕ входы прямые: установка и сброс выполняются единичными уровнями.
Логика хранения и два основных режима остаются теми же.
Физическая реализация отличается полярностью активных входных сигналов.

Асинхронный и синхронный режимы

Асинхронный RS

Изменение состояния Q происходит непосредственно при поступлении активного сигнала на R или S.

Отдельный тактовый вход не требуется.

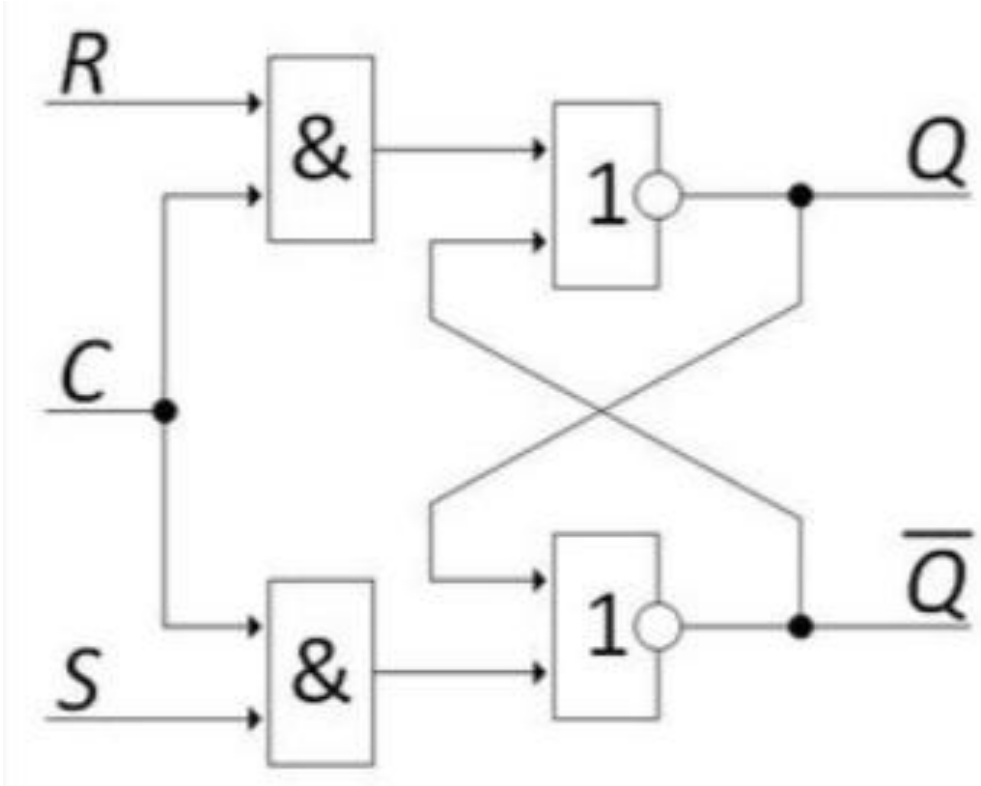
Синхронный RS

Входные команды учитываются только при разрешающем сигнале C.

При C = 0 триггер сохраняет состояние независимо от R и S.

Синхронизация позволяет согласовать изменение состояния с завершением переходных процессов в логической схеме.

Синхронный RS-триггер



Вход C разрешает прохождение сигналов S и R через элементы И к RS-узлу.

Таблица истинности синхронного RS-триггера

C	R	S	Q(t)	Q(t+1)	Режим
0	X	X	0 / 1	без изменения	Хранение
1	0	0	0 / 1	без изменения	Хранение
1	0	1	X	1	Установка
1	1	0	X	0	Сброс
1	1	1	X	—	Запрещено

C = 0 блокирует входные команды; X означает «не имеет значения».

Временная диаграмма

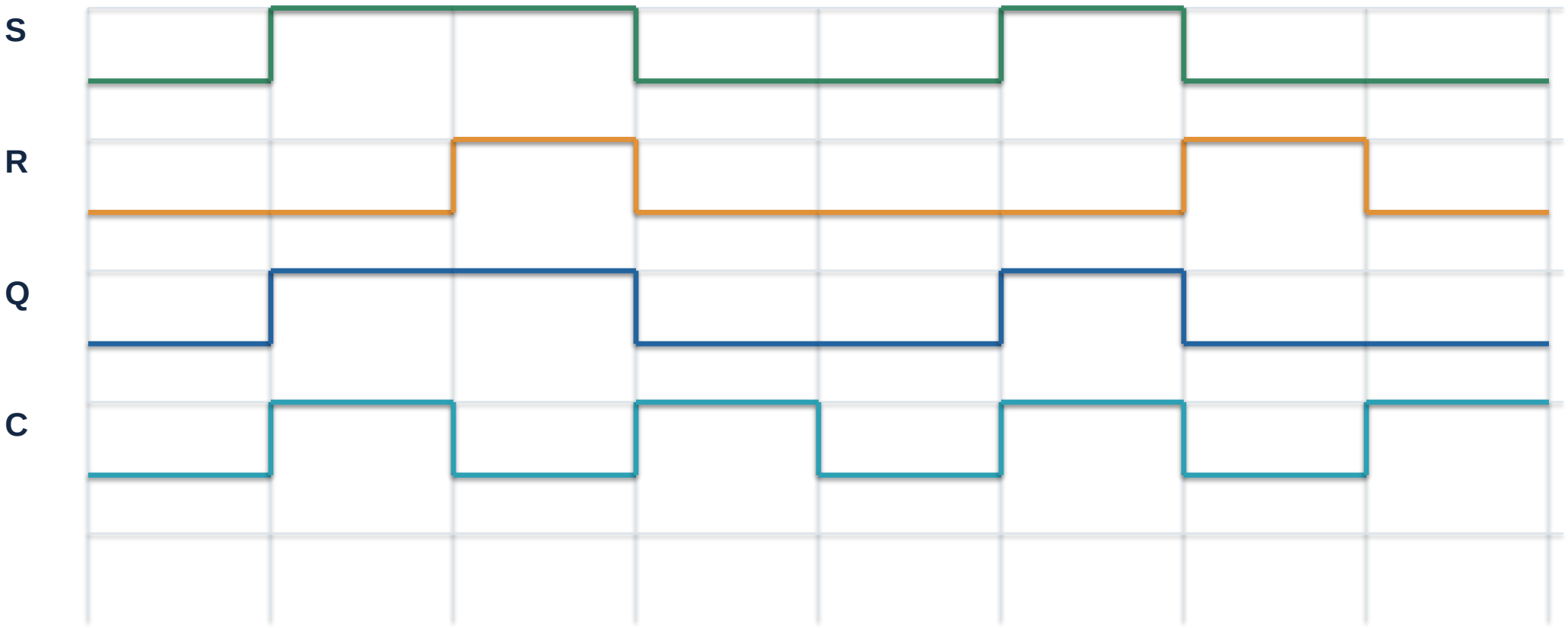


Диаграмма показывает изменение входов и выходного состояния во времени; Q зависит от типа триггера и момента разрешения.

JK-триггер: универсальный триггер

J — установка

При J = 1 и K = 0 триггер устанавливается в Q = 1.

K — сброс

При J = 0 и K = 1 триггер устанавливается в Q = 0.

J = K = 1

При тактовом разрешении состояние переключается на противоположное.

JK-триггер близок по режимам к синхронному RS-триггеру.

Главное отличие: комбинация двух единиц не запрещена.

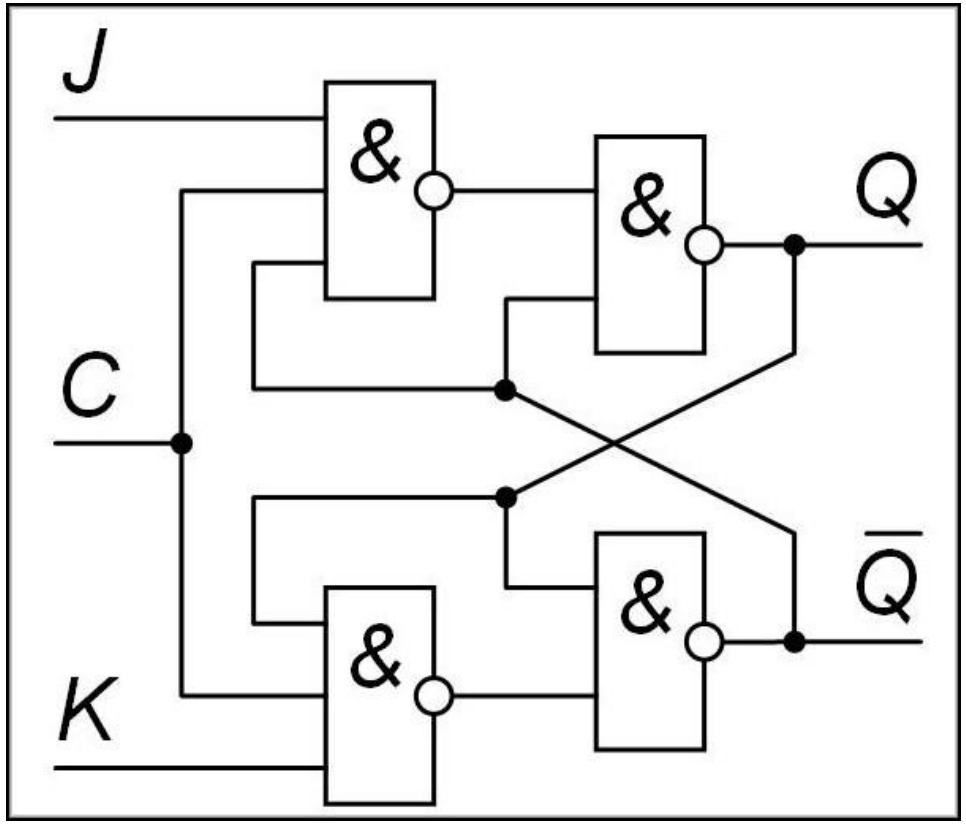
Входы J и K позволяют реализовать хранение, установку, сброс и переключение.

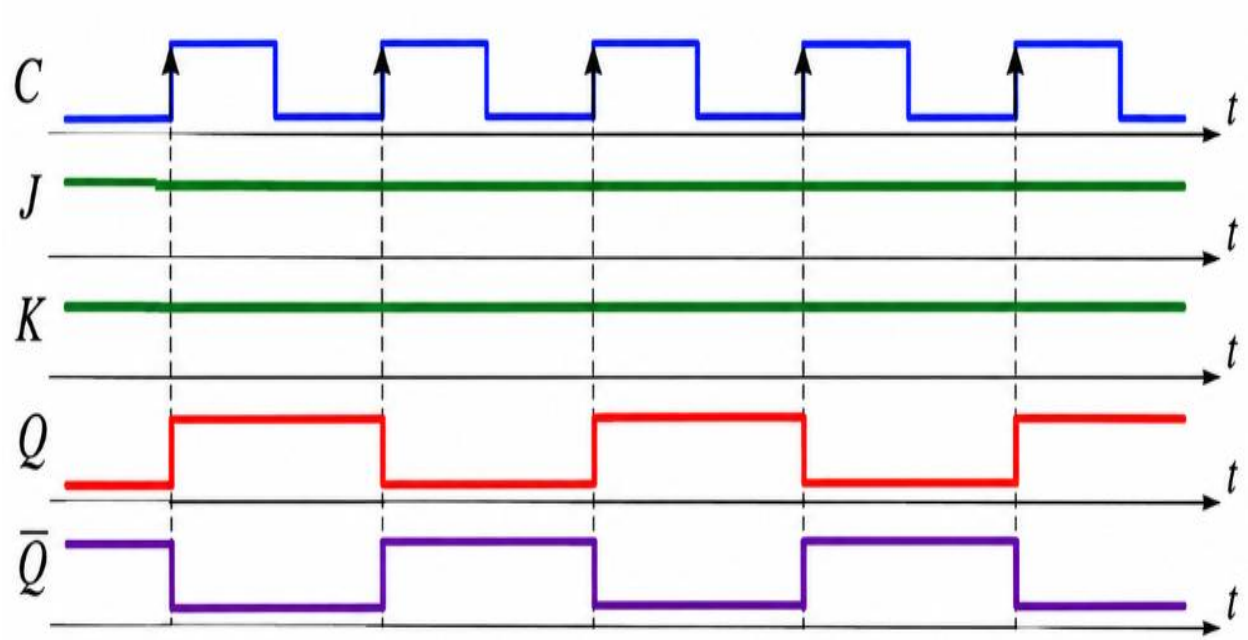
Таблица истинности JK-триггера

C	J	K	Q(t)	Q(t+1)	Режим
0	X	X	0 / 1	без изменения	Хранение
1	0	0	0 / 1	без изменения	Хранение
1	1	0	X	1	Установка
1	0	1	X	0	Сброс
1	1	1	0	1	Переключение
1	1	1	1	0	Переключение

При J = K = 1: $Q(t+1) = \bar{Q}(t)$.

Почему JK-триггер переключается при J = K = 1





Внутренняя перекрёстная обратная связь формирует управляющие сигналы так, чтобы запрещённая комбинация RS-узла не возникала. При J = K = 1 следующий тактовый импульс инвертирует состояние.

Контрольные вопросы

1. Что такое триггер и какую информацию он хранит?
2. Для чего в триггере используется положительная обратная связь?
3. Каково назначение выходов Q и $\bar{Q}$?
4. Что означают названия входов S (Set) и R (Reset)?
5. Чем отличается активный нулевой вход от активного единичного?
6. Какие режимы работы имеет RS-триггер?
7. Почему комбинация R = S = 1 является запрещённой для RS-триггера?
8. Чем отличаются реализации RS-триггера на 2И-НЕ и 2ИЛИ-НЕ?

Список литературы

1. Лабораторная работа № 8 «Исследование принципов работы и временной диаграммы RS и JK триггеров». Методические указания, предоставленные для выполнения работы.

2. Mano M. M., Ciletti M. D. Digital Design. 5th ed. Pearson, 2013.

3. Tocci R. J., Widmer N. S., Moss G. L. Digital Systems: Principles and Applications. 12th ed. Pearson, 2017.

4. Floyd T. L. Digital Fundamentals. 11th ed. Pearson, 2015.

5. NI Multisim. User Manual / Documentation. National Instruments.